

CA-IS352x 电能计量表专用数字隔离器

1 产品特性

- 符合 IR46 标准
- 信号传输速率: DC ~ 10 Mbps
- 宽电源电压范围: 2.375 V ~ 5.5 V
- 宽温度范围: -55 °C ~ 125 °C
- 无需启动初始化
- 推挽输出和开漏输出可选
- 优异的电磁抗扰度
- CMTI: ± 150 kV/ μ S
- 浪涌: 10 kV
- ESD: 8 kV HBM
- 超低功耗
 - 电流为 1.6 mA/通道 (@5 V, 1 Mbps)
 - 电流为 2.5 mA/通道 (@5 V, 10 Mbps)
- 精确时序
 - 10 ns 传播延迟
 - 1 ns 脉冲宽度失真
 - 2 ns 通道间延迟偏差
- 高达 5 kV_{RMS} 的隔离电压
- 隔离栅寿命: >40 年
- 施密特触发器输入
- 符合 RoHS 标准封装
 - SOIC8 (S)
 - SOIC8-WB (G)
 - SOIC16-WB (W)

2 应用

- 单相、三相智能电表
- 采集器、集中器、专变终端
- 断路器、微型断路器和各类数字断路器
- 其他智能化数字显示仪表

3 概述

CA-IS352x 芯片是专门为智能电表 (IR46) 开发的数字隔离器芯片。该系列具有高达 10 kV 的浪涌和高达 8 kV 的 ESD, 隔离耐压高达 5 kV_{RMS}, CMTI 高达 ± 150 kV/ μ s。CA-IS352x 芯片支持客户根据应用场景选择开漏输出或推挽输出型号。

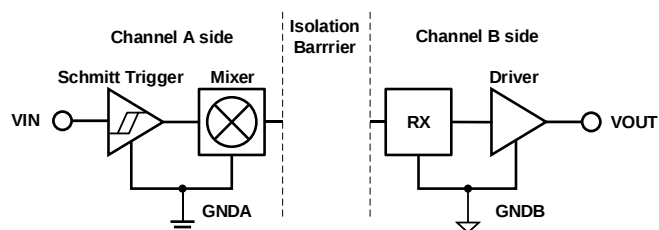
CA-IS3520 具有两个前向通道, CA-IS3521 和 CA-IS3522 具有一个前向和一个反向通道, 详见图 7-1。所有器件都具有故障安全模式选项, 输入侧电源掉电或信号丢失时, 默认输出为高。

CA-IS352x 器件具有高绝缘能力, 有助于防止数据总线或其他电路上的噪声和浪涌进入本地接地端, 导致对敏感电路造成干扰或损坏。同时, 高 CMTI 能力可以保证数字信号的正确传输。CA-IS352x 器件采用 8 脚窄体 SOIC, 8 脚宽体 SOIC 和 16 脚宽体 SOIC 封装。窄体封装的器件支持绝缘耐压 3.75 kV_{RMS}, 宽体封装的器件支持绝缘耐压高达 5 kV_{RMS}。

器件信息

零件号	封装	封装尺寸(标称值)
CA-IS3520, CA-IS3521, CA-IS3522	SOIC8 (S)	4.90 mm × 3.90 mm
	SOIC8-WB (G)	5.85 mm × 7.50 mm
	SOIC16-WB (W)	10.30mm × 7.50 mm

简化通道结构图

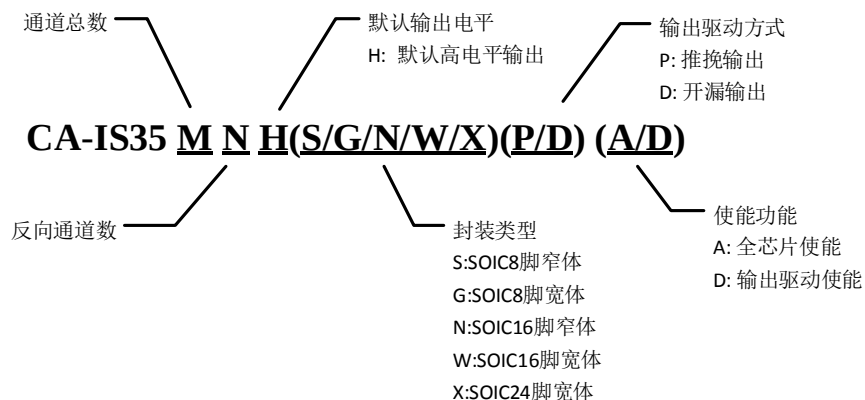


4 订购指南

表 4-1 有效订购零件编号

型号	输入通道数 A 侧	输入通道数 B 侧	故障安全输出 状态	额定耐压 (kV _{RMS})	输出类型	使能功能	封装
CA-IS3520HSP	2	0	高	3.75	推挽输出	无使能	SOIC8
CA-IS3520HSD	2	0	高	3.75	开漏输出	无使能	SOIC8
CA-IS3520HGP	2	0	高	5.0	推挽输出	无使能	SOIC8-WB
CA-IS3520HGD	2	0	高	5.0	开漏输出	无使能	SOIC8-WB
CA-IS3520HWP	2	0	高	5.0	推挽输出	无使能	SOIC16-WB
CA-IS3520HWD	2	0	高	5.0	开漏输出	无使能	SOIC16-WB
CA-IS3521HSP	1	1	高	3.75	推挽输出	无使能	SOIC8
CA-IS3521HSD	1	1	高	3.75	开漏输出	无使能	SOIC8
CA-IS3521HGP	1	1	高	5.0	推挽输出	无使能	SOIC8-WB
CA-IS3521HGD	1	1	高	5.0	开漏输出	无使能	SOIC8-WB
CA-IS3521HWP	1	1	高	5.0	推挽输出	无使能	SOIC16-WB
CA-IS3521HWD	1	1	高	5.0	开漏输出	无使能	SOIC16-WB
CA-IS3522HSP	1	1	高	3.75	推挽输出	无使能	SOIC8
CA-IS3522HSD	1	1	高	3.75	开漏输出	无使能	SOIC8
CA-IS3522HGP	1	1	高	5.0	推挽输出	无使能	SOIC8-WB
CA-IS3522HGD	1	1	高	5.0	开漏输出	无使能	SOIC8-WB
CA-IS3522HWP	1	1	高	5.0	推挽输出	无使能	SOIC16-WB
CA-IS3522HWD	1	1	高	5.0	开漏输出	无使能	SOIC16-WB

5 命名规则



目录

1	产品特性	1	8.9.1	5 V 功耗特性	11
2	应用	1	8.9.2	3.3 V 功耗特性	12
3	概述	1	8.9.3	2.5 V 功耗特性	13
4	订购指南	2	8.10	时序特性	14
5	命名规则	2	8.10.1	5.0 V 时序特性	14
6	修订历史	3	8.10.2	3.3 V 时序特性	14
7	引脚功能描述	4	8.10.3	2.5 V 时序特性	14
8	产品规格	6	9	参数测量信息	15
8.1	绝对最大额定值 ¹	6	10	详细说明	17
8.2	ESD 额定值	6	10.1	工作原理	17
8.3	推荐工作条件	6	10.2	功能框图	17
8.4	热量信息	7	10.3	真值表	18
8.5	额定功率	7	11	输入输出等效电路	19
8.6	隔离特性	8	12	应用电路	20
8.7	安全相关认证	9	13	IR46 电表中的应用	21
8.8	电气特性	10	14	封装信息	22
8.8.1	5 V 电气特性	10	14.1	SOIC8 (S)外形尺寸	22
8.8.2	3.3 V 电气特性	10	14.2	SOIC8-WB (G)	23
8.8.3	2.5 V 电气特性	10	14.3	SOIC16-WB (W)	24
8.9	功耗特性	11	TAPE AND REEL INFORMATION		25

6 修订历史

修订版 0: 初始版本

修订版 0 到 修订版 A

- 更新 8.7 安全相关认证

7 引脚功能描述

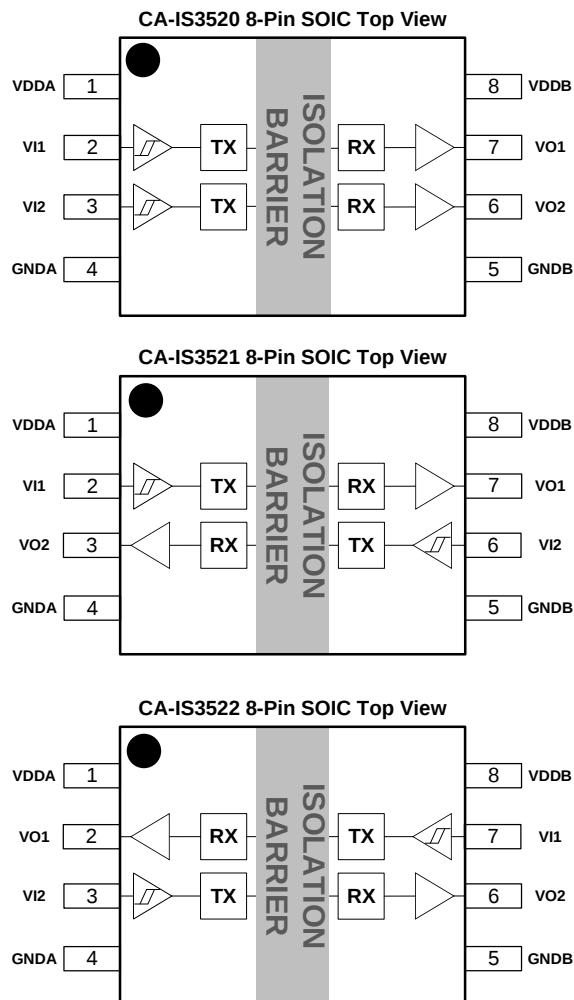


图 7-1 CA-IS352x SOIC8 脚窄体及 SOIC8 脚宽体封装顶部视图

表 7-1 CA-IS352x SOIC8 引脚功能描述

引脚名称	SOIC8 引脚编号	类型	描述
VDDA	1	电源	A 侧电源电压
VI1/VO1	2	逻辑输入/输出	CA-IS3520/21 A 侧逻辑输入/ CA-IS3522 A 侧逻辑输出
VI2/VO2	3	逻辑输入/输出	CA-IS3520/22 A 侧逻辑输入/ CA-IS3521 A 侧逻辑输出
GNDA	4	地	A 侧接地基准点
GNDB	5	地	B 侧接地基准点
VI2/VO2	6	逻辑输入/输出	CA-IS3521 B 侧逻辑输入/ CA-IS3520/22 B 侧逻辑输出
VI1/VO1	7	逻辑输入/输出	CA-IS3522 B 侧逻辑输入/ CA-IS3520/21 B 侧逻辑输出
VDDB	8	电源	B 侧电源电压

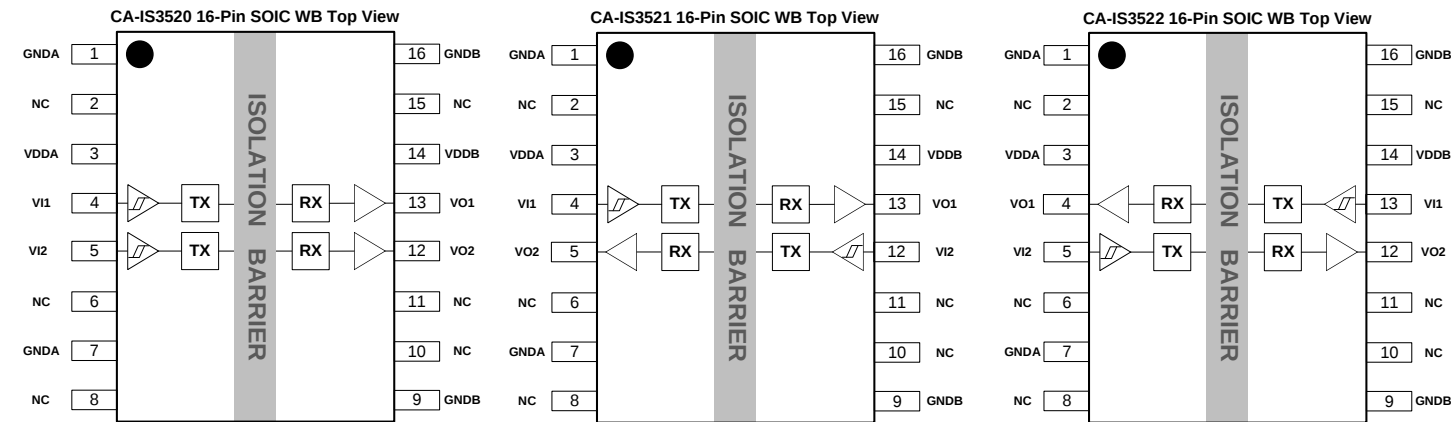


图 7-2 CA-IS352x SOIC16-WB 宽体封装顶部视图

表 7-2 CA-IS352x SOIC16-WB 宽体引脚功能描述

引脚名称	SOIC16 引脚编号	类型	描述
GND A	1	地	A 侧接地基准点
NC	2	NC	无内部连接
VDDA	3	电源	A 侧电源电压
VI1/VO1	4	逻辑输入/输出	CA-IS3520/21 A 侧逻辑输入/ CA-IS3522 A 侧逻辑输出
VI2/VO2/NC ¹	5	逻辑输入/输出	CA-IS3520/22 A 侧逻辑输入/ CA-IS3521 A 侧逻辑输出
NC	6	NC	无内部连接
GND A	7	地	A 侧接地基准点
NC	8	NC	无内部连接
GND B	9	地	B 侧接地基准点
NC	10	NC	无内部连接
NC	11	NC	无内部连接
VI2/VO2	12	逻辑输入/输出	CA-IS3521 B 侧逻辑输入/ CA-IS3520/22 B 侧逻辑输出
VI1/VO1	13	逻辑输入/输出	CA-IS3522 B 侧逻辑输入/ CA-IS3520/21 B 侧逻辑输出
VDD B	14	电源	B 侧电源电压
NC	15	NC	无内部连接
GND B	16	地	B 侧接地基准点

备注:
1. NC 引脚没有内部连接，它们只能悬空或连接到 GND。

8 产品规格

8.1 绝对最大额定值¹

参数		最小值	最大值	单位
V_{DDA}, V_{DDB}	电源电压 ²	-0.5	6.0	V
V_{in}	输入电压 A_x, B_x	-0.5	$V_{DD}+0.5^3$	V
I_O	输出电流	-20	20	mA
T_J	结温	-55	150	°C
T_{STG}	存储温度	-65	150	°C
备注:				
1. 等于或超出上述绝对最大额定值可能会导致产品永久性损坏, 长期在超出最大额定值条件下工作会影响产品的可靠性。				
2. 除差分 I/O 总线电压以外的所有电压值, 均相对于本地接地端子 (GNDA 或 GNDB), 并且是峰值电压值。				
3. 最大电压不得超过 6 V。				

8.2 ESD 额定值

		数值	单位
V _{ESD} 静电放电	人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001,所有引脚 ¹	± 8000	V
	组件充电模式(CDM), 根据 JEDEC specification JESD22-C101, 所有引脚 ²	± 2000	
备注:			
1. JEDEC 文件 JEP155 规定 500 V HBM 可通过标准 ESD 控制过程实现安全制造。			
2. JEDEC 文件 JEP157 规定 250 V CDM 允许使用标准 ESD 控制过程进行安全制造。			

8.3 推荐工作条件

参数		最小值	典型值	最大值	单位
V_{DDA}, V_{DDB}	电源电压	2.375	3.3	5.5	V
$V_{DD} (UVLO+)$	VDD 电源电压上升时的欠压阈值	1.95	2.24	2.375	V
$V_{DD} (UVLO-)$	VDD 电源电压下降时的欠压阈值	1.88	2.10	2.325	V
$V_{HYS} (UVLO)$	VDD 迟滞欠压阈值	70	140	250	mV
I_{OH}	高电平输出电流	$V_{DDO}^1 = 5\text{ V}$	-4		mA
		$V_{DDO} = 3.3\text{ V}$	-2		
		$V_{DDO} = 2.5\text{ V}$	-1		
I_{OL}	低电平输出电流	$V_{DDO} = 5\text{ V}$		4	mA
		$V_{DDO} = 3.3\text{ V}$		2	
		$V_{DDO} = 2.5\text{ V}$		1	
V_{IH}	输入阈值逻辑高电平	2.0			V
V_{IL}	输入阈值逻辑低电平			0.8	V
DR	信号传输速率	0		10	Mbps
T_A	环境温度	-55	27	125	°C
备注:					
1. V_{DDO} = 输出侧 V_{DD}					

8.4 热量信息

热量表	CA-IS352x			单位
	S (SOIC)	G(SOIC)	W (SOIC)	
	8 Pins	8 Pins	16 Pins	
$R_{\theta JA}$ IC 结至环境的热阻	109.0	92.3	83.4	°C/W

8.5 额定功率

参数	测试条件	最小值	典型值	最大值	单位
CA-IS3520					
P _D 最大功耗	V _{DDA} = V _{ddb} = 5.5 V, C _L = 15 pF, T _J = 150 °C, 输入 5 MHz 50% 占空比方波			35	mW
P _{DA} A 侧的最大功耗				13	mW
P _{DB} B 侧的最大功耗				22	mW
CA-IS3521					
P _D 最大功耗	V _{DDA} = V _{ddb} = 5.5 V, C _L = 15 pF, T _J = 150 °C, 输入 5 MHz 50% 占空比方波			38	mW
P _{DA} A 侧的最大功耗				19	mW
P _{DB} B 侧的最大功耗				19	mW
CA-IS3522					
P _D 最大功耗	V _{DDA} = V _{ddb} = 5.5 V, C _L = 15 pF, T _J = 150 °C, 输入 5 MHz 50% 占空比方波			38	mW
P _{DA} A 侧的最大功耗				19	mW
P _{DB} B 侧的最大功耗				19	mW

8.6 隔离特性

参数		测试条件	数值		单位
			G/W	S	
CLR	外部气隙（间隙） ¹	测量输入端至输出端，隔空最短距离	8	4	mm
CPG	外部爬电距离 ¹	测量输入端至输出端，沿壳体最短距离	8	4	mm
DTI	隔离距离	最小内部间隙（内部距离）	32	32	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	>600	>600	V
材料组		依据 IEC 60664-1	I	I	
IEC 60664-1 过压类别		额定市电电压≤ 300 V _{RMS}	I-IV	I-III	
		额定市电电压≤ 400 V _{RMS}	I-IV	I-III	
		额定市电电压 ≤ 600 V _{RMS}	I-III	n/a	
DIN V VDE V 0884-11:2017-01 ²					
V _{IORM}	最大重复峰值隔离电压	交流电压(双极)	849	565	V _{PK}
V _{IOWM}	最大工作隔离电压	交流电压；时间相关的介质击穿 (TDDb) 测试	600	400	V _{RMS}
		直流电压	849	565	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60 s (认证); V _{TEST} = 1.2 × V _{IOTM} , t= 1 s (100% 产品测试)	7070	5300	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ³	测试方法 依据 IEC 60065, 1.2/50 μs 波形, V _{TEST} = 1.6 × V _{IOSM} (生产测试)	6250	5000	V _{PK}
q _{pd}	表征电荷 ⁴	方法 a, 输入/输出安全测试子类 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10 s	≤5	≤5	pC
		方法 a, 环境测试子类 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10 s	≤5	≤5	
		Method b1, 常规测试 (100% 生产测试) 和前期预处理 (抽样测试) V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1 s; V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1 s	≤5	≤5	
C _{io}	栅电容, 输入到输出 ⁵	V _{io} = 0.4 × sin (2πft), f = 1 MHz	~0.5	~0.5	pF
R _{io}	绝缘电阻 ⁵	V _{io} = 500 V, T _A = 25°C	>10 ¹²	>10 ¹²	Ω
		V _{io} = 500 V, 100°C ≤ T _A ≤ 125°C	>10 ¹¹	>10 ¹¹	
		V _{io} = 500 V at T _S = 150°C	>10 ⁹	>10 ⁹	
污染度			2	2	
UL 1577					
V _{ISO}	最大隔离电压	V _{TEST} = V _{ISO} , t = 60 s (认证) V _{TEST} = 1.2 × V _{ISO} , t = 1 s (100%生产测试)	5000	3750	V _{RMS}
备注:					
1. 根据应用的特定设备隔离标准应用爬电距离和间隙要求。注意保持电路板设计的爬电距离和间隙距离，以确保印刷电路板上隔离器的安装焊盘不会缩短该距离。在某些情况下印刷电路板上的爬电距离和间隙相等。在印刷电路板上插入凹槽的技术有助于提高这些指标。					
2. 该标准仅适用于安全等级内的安全电气绝缘。应通过适当的保护电路确保符合安全等级。					
3. 测试在空气或油中进行，以确定隔离屏障的固有浪涌抗扰度。					
4. 表征电荷是由局部放电引起的放电电荷(pd)。					
5. 栅两侧的所有引脚连接在一起，形成双端子器件。					

8.7 安全相关认证

VDE(申请中)	UL	CQC	TUV(申请中)
根据 DIN V VDE V 0884-11:2017-01 认证	UL1577 器件程序认证	根据 GB4943.1-2011 认证和 GB 8898-2011 认证	根据 EN/IEC 61010-1:2010 (3rd Ed)和 EN/IEC 62368-1:2014+A11:2017 认证
	SOP8-S: 3750 VRMS; SOP8-G: 5000 VRMS; SOP16-W: 5000 VRMS	SOP8-S: 基本绝缘, 最大工作电压 400 VRMS; SOP8-G: 加强绝缘, 最大工作电压 600 VRMS; SOP16-W: 加强绝缘, 最大工作电压 600 VRMS (仅适用于海拔 5000 米及以下)	
	证书编号: E511334	证书编号 SOP8-S: CQC20001257118 SOP8-G: CQC20001257120 SOP16-W: CQC20001257119	

8.8 电气特性

8.8.1 5 V 电气特性

 $V_{DDA} = V_{DDB} = 5\text{ V} \pm 10\%$, $T_A = -55\text{ to }125^\circ\text{C}$

参数	测试条件	最小值	典型值	最大值	单位
V_{OH}	输出电压逻辑高电平 $I_{OH} = -4\text{ mA}$; 图 9-1	$V_{DDO}^{1-0.4}$	4.8		V
V_{OL}	输出电压逻辑低电平 $I_{OL} = 4\text{ mA}$; 图 9-1		0.2	0.4	V
$V_{IT+(IN)}$	正输入阈值	1.4	1.67	1.9	V
$V_{IT-(IN)}$	负输入阈值	1.0	1.23	1.4	V
$V_{I(HYS)}$	输入阈值迟滞	0.30	0.44	0.50	V
I_{IH}	输入高电平漏电流 $V_{IH} = V_{DDA}$ at Ax or Bx			15	μA
I_{IL}	输入低电平漏电流 $V_{IL} = 0\text{ V}$ at Ax or Bx	-15			μA
Z_O	输出阻抗 ²		50		Ω
CMTI	共模瞬变抗扰度 $V_I = V_{DDI}^1$ or 0 V , $V_{CM} = 1500\text{ V}$; 图 9-3	100	150		$\text{kV}/\mu\text{s}$
C_i	输入电容 ³ $V_I = V_{DD}/2 + 0.4 \times \sin(2\pi ft)$, $f = 1\text{ MHz}$, $V_{DD} = 5\text{ V}$		2		pF

备注:

- V_{DDI} = 输入侧 V_{DD} , V_{DDO} = 输出侧 V_{DD} 。
- 隔离器通道的输出阻抗约为 $50\ \Omega \pm 40\%$ 。
- 从引脚到地测量。

8.8.2 3.3 V 电气特性

 $V_{DDA} = V_{DDB} = 3.3\text{ V} \pm 10\%$, $T_A = -55\text{ to }125^\circ\text{C}$

参数	测试条件	最小值	典型值	最大值	单位
V_{OH}	输出电压逻辑高电平 $I_{OH} = -4\text{ mA}$; 图 9-1	$V_{DDO}^{1-0.4}$	3.1		V
V_{OL}	输出电压逻辑低电平 $I_{OL} = 4\text{ mA}$; 图 9-1		0.2	0.4	V
$V_{IT+(IN)}$	正输入阈值	1.4	1.67	1.9	V
$V_{IT-(IN)}$	负输入阈值	1.0	1.23	1.4	V
$V_{I(HYS)}$	输入阈值迟滞	0.30	0.44	0.50	V
I_{IH}	输入高电平漏电流 $V_{IH} = V_{DDA}$ at Ax or Bx			15	μA
I_{IL}	输入低电平漏电流 $V_{IL} = 0\text{ V}$ at Ax or Bx	-15			μA
Z_O	输出阻抗 ²		50		Ω
CMTI	共模瞬变抗扰度 $V_I = V_{DDI}^1$ or 0 V , $V_{CM} = 1500\text{ V}$; 图 9-3	100	150		$\text{kV}/\mu\text{s}$
C_i	输入电容 ³ $V_I = V_{DD}/2 + 0.4 \times \sin(2\pi ft)$, $f = 1\text{ MHz}$, $V_{DD} = 3.3\text{ V}$		2		pF

备注:

- V_{DDI} = 输入侧 V_{DD} , V_{DDO} = 输出侧 V_{DD} 。
- 隔离器通道的输出阻抗约为 $50\ \Omega \pm 40\%$ 。
- 从引脚到地测量。

8.8.3 2.5 V 电气特性

 $V_{DDA} = V_{DDB} = 2.5\text{ V} \pm 5\%$, $T_A = -55\text{ to }125^\circ\text{C}$

参数	测试条件	最小值	典型值	最大值	单位
V_{OH}	输出电压逻辑高电平 $I_{OH} = -4\text{ mA}$; 图 9-1	$V_{DDO}^{1-0.4}$	2.3		V
V_{OL}	输出电压逻辑低电平 $I_{OL} = 4\text{ mA}$; 图 9-1		0.2	0.4	V
$V_{IT+(IN)}$	正输入阈值	1.4	1.67	1.9	V
$V_{IT-(IN)}$	负输入阈值	1.0	1.23	1.4	V
$V_{I(HYS)}$	输入阈值迟滞	0.30	0.44	0.50	V
I_{IH}	输入高电平漏电流 $V_{IH} = V_{DDA}$ at Ax or Bx			15	μA
I_{IL}	输入低电平漏电流 $V_{IL} = 0\text{ V}$ at Ax or Bx	-15			μA
Z_O	输出阻抗 ²		50		Ω
CMTI	共模瞬变抗扰度 $V_I = V_{DDI}^1$ or 0 V , $V_{CM} = 1500\text{ V}$; 图 9-3	100	150		$\text{kV}/\mu\text{s}$
C_i	输入电容 ³ $V_I = V_{DD}/2 + 0.4 \times \sin(2\pi ft)$, $f = 1\text{ MHz}$, $V_{DD} = 2.5\text{ V}$		2		pF

备注:

- V_{DDI} = 输入侧 V_{DD} , V_{DDO} = 输出侧 V_{DD} 。
- 隔离器通道的输出阻抗约为 $50\ \Omega \pm 40\%$ 。
- 从引脚到地测量。

8.9 功耗特性

8.9.1 5 V 功耗特性

 $V_{DDA} = V_{ddb} = 5\text{ V} \pm 10\%$, $T_A = -55\text{ to }125^\circ\text{C}$

参数	测试条件		电源电流	最小值	典型值	最大值	单位
CA-IS3520							
电源电流 – 直流信号	$V_{IN} = V_{DDI}^1$		I_{DDA}	0.8	1.2	mA	
			I_{DDB}	1.6	2.3		
	$V_{IN} = 0\text{ V}$		I_{DDA}	2.3	3.5		
			I_{DDB}	1.6	2.4		
电源电流 – 交流信号	所有通道输入 50% 占空比, 幅值为 5 V 的方波; 每个通道 $C_L = 15\text{ pF}$	1 Mbps (500 kHz)	I_{DDA}	1.6	2.3		
			I_{DDB}	1.7	2.6		
		10 Mbps (5 MHz)	I_{DDA}	1.6	2.3		
			I_{DDB}	2.7	4.0		
CA-IS3521							
电源电流 – 直流信号	$V_{IN} = V_{DDI}^1$		I_{DDA}	1.3	2.0	mA	
			I_{DDB}	1.3	2.0		
	$V_{IN} = 0\text{ V}$		I_{DDA}	2.1	3.1		
			I_{DDB}	2.1	3.1		
电源电流 – 交流信号	所有通道输入 50% 占空比, 幅值为 5 V 的方波; 每个通道 $C_L = 15\text{ pF}$	1 Mbps (500 kHz)	I_{DDA}	1.8	2.6		
			I_{DDB}	1.8	2.6		
		10 Mbps (5 MHz)	I_{DDA}	2.2	3.3		
			I_{DDB}	2.2	3.3		
CA-IS3522							
电源电流 – 直流信号	$V_{IN} = V_{DDI}^1$		I_{DDA}	1.3	2.0	mA	
			I_{DDB}	1.3	2.0		
	$V_{IN} = 0\text{ V}$		I_{DDA}	2.1	3.1		
			I_{DDB}	2.1	3.1		
电源电流 – 交流信号	所有通道输入 50% 占空比, 幅值为 5 V 的方波; 每个通道 $C_L = 15\text{ pF}$	1 Mbps (500 kHz)	I_{DDA}	1.8	2.6		
			I_{DDB}	1.8	2.6		
		10 Mbps (5 MHz)	I_{DDA}	2.2	3.3		
			I_{DDB}	2.2	3.3		
备注:							
1. V_{DDI} = 输入侧 V_{DD}							

8.9.2 3.3 V 功耗特性
 $V_{DDA} = V_{ddb} = 3.3 \text{ V} \pm 10\%$, $T_A = -55 \text{ to } 125^\circ\text{C}$

参数	测试条件		电源电流	最小值	典型值	最大值	单位
CA-IS3520							
电源电流 – 直流信号	$V_{IN} = V_{DDI}^1$		I_{DDA}	0.8	1.2	mA	
			I_{DDB}	1.6	2.3		
	$V_{IN} = 0\text{ V}$		I_{DDA}	2.3	3.5		
			I_{DDB}	1.6	2.4		
电源电流 – 交流信号	所有通道输入 50% 占空比，幅值为 5 V 的方波; 每个通道 $C_L = 15\text{ pF}$	1 Mbps (500 kHz)	I_{DDA}	1.6	2.3		
			I_{DDB}	1.7	2.6		
		10 Mbps (5 MHz)	I_{DDA}	1.6	2.3		
			I_{DDB}	2.4	3.6		
CA-IS3521							
电源电流 – 直流信号	$V_{IN} = V_{DDI}^1$		I_{DDA}	1.3	2.0	mA	
			I_{DDB}	1.3	2.0		
	$V_{IN} = 0\text{ V}$		I_{DDA}	2.1	3.1		
			I_{DDB}	2.1	3.1		
电源电流 – 交流信号	所有通道输入 50% 占空比，幅值为 5 V 的方波; 每个通道 $C_L = 15\text{ pF}$	1 Mbps (500 kHz)	I_{DDA}	1.8	2.6		
			I_{DDB}	1.8	2.6		
		10 Mbps (5 MHz)	I_{DDA}	2.1	3.2		
			I_{DDB}	2.1	3.2		
CA-IS3522							
电源电流 – 直流信号	$V_{IN} = V_{DDI}^1$		I_{DDA}	1.3	2.0	mA	
			I_{DDB}	1.3	2.0		
	$V_{IN} = 0\text{ V}$		I_{DDA}	2.1	3.1		
			I_{DDB}	2.1	3.1		
电源电流 – 交流信号	所有通道输入 50% 占空比，幅值为 5 V 的方波; 每个通道 $C_L = 15\text{ pF}$	1 Mbps (500 kHz)	I_{DDA}	1.8	2.6		
			I_{DDB}	1.8	2.6		
		10 Mbps (5 MHz)	I_{DDA}	2.1	3.2		
			I_{DDB}	2.1	3.2		
备注:							
1. V_{DDI} = 输入侧 V_{DD}							

上海川土微电子有限公司

8.9.3 2.5 V 功耗特性

 $V_{DDA} = V_{DDB} = 2.5 \text{ V} \pm 5\%$, $T_A = -55 \text{ to } 125^\circ\text{C}$

参数	测试条件		电源电流	最小值	典型值	最大值	单位
CA-IS3520							
电源电流 – 直流信号	$V_{IN} = V_{DDI}^1$		I_{DDA}	0.8	1.2	mA	
			I_{DDB}	1.6	2.3		
	$V_{IN} = 0\text{ V}$		I_{DDA}	2.3	3.5		
			I_{DDB}	1.6	2.4		
电源电流 – 交流信号	所有通道输入 50% 占空比，幅值为 5 V 的方波; 每个通道 $C_L = 15\text{ pF}$	1 Mbps (500 kHz)	I_{DDA}	1.6	2.3		
			I_{DDB}	1.7	2.6		
		10 Mbps (5 MHz)	I_{DDA}	1.6	2.3		
			I_{DDB}	2.2	3.3		
CA-IS3521							
电源电流 – 直流信号	$V_{IN} = V_{DDI}^1$		I_{DDA}	1.3	2.0	mA	
			I_{DDB}	1.3	2.0		
	$V_{IN} = 0\text{ V}$		I_{DDA}	2.1	3.1		
			I_{DDB}	2.1	3.1		
电源电流 – 交流信号	所有通道输入 50% 占空比，幅值为 5 V 的方波; 每个通道 $C_L = 15\text{ pF}$	1 Mbps (500 kHz)	I_{DDA}	1.8	2.6		
			I_{DDB}	1.8	2.6		
		10 Mbps (5 MHz)	I_{DDA}	2.0	3.0		
			I_{DDB}	2.0	3.0		
CA-IS3522							
电源电流 – 直流信号	$V_{IN} = V_{DDI}^1$		I_{DDA}	1.3	2.0	mA	
			I_{DDB}	1.3	2.0		
	$V_{IN} = 0\text{ V}$		I_{DDA}	2.1	3.1		
			I_{DDB}	2.1	3.1		
电源电流 – 交流信号	所有通道输入 50% 占空比，幅值为 5 V 的方波; 每个通道 $C_L = 15\text{ pF}$	1 Mbps (500 kHz)	I_{DDA}	1.8	2.6		
			I_{DDB}	1.8	2.6		
		10 Mbps (5 MHz)	I_{DDA}	1.8	2.6		
			I_{DDB}	2.0	3.0		
备注:							
1. V_{DDI} = 输入侧 V_{DD}							

8.10 时序特性

8.10.1 5.0 V 时序特性

 $V_{DDA} = V_{DDB} = 5\text{ V} \pm 10\%$, $T_A = -55\text{ to }125^\circ\text{C}$

参数	测试说明	最小值	典型值	最大值	单位
DR 数据速率		0		10	Mbps
t_{PLH} , t_{PHL} 传播延迟	图 9-1	5.0	10.0	15.0	ns
PWD 脉冲宽度失真 $ t_{PLH} - t_{PHL} $			1.0	4.5	ns
t_{sk} 通道间输出偏移时间 ¹	同方向通道		1.0	4.5	ns
t_r 输出上升时间	图 9-1		2.5	4.0	ns
t_f 输出下降时间	图 9-1		2.5	4.0	ns
t_{DO} 从输入电源掉电到默认输出延迟时间	图 9-2		8	12	ns
t_{SU} 启动时间			15	40	μs

备注:

- t_{sk} 为通道间输出偏移时间。测试时将芯片的所有输入引脚接在一起输入同一信号，保持输出引脚负载相同，测试最大传输延时与最小传输延时的偏差。

8.10.2 3.3 V 时序特性

 $V_{DDA} = V_{DDB} = 3.3\text{ V} \pm 10\%$, $T_A = -55\text{ to }125^\circ\text{C}$

参数	测试说明	最小值	典型值	最大值	单位
DR 数据速率		0		10	Mbps
t_{PLH} , t_{PHL} 传播延迟	图 9-1	5.0	10.0	15.0	ns
PWD 脉冲宽度失真 $ t_{PLH} - t_{PHL} $			1.0	4.5	ns
t_{sk} 通道间输出偏移时间 ¹	同方向通道		1.0	4.5	ns
t_r 输出上升时间	图 9-1		2.5	4.0	ns
t_f 输出下降时间	图 9-1		2.5	4.0	ns
t_{DO} 从输入电源掉电到默认输出延迟时间	图 9-2		8	12	ns
t_{SU} 启动时间			15	40	μs

备注:

- t_{sk} 为通道间输出偏移时间。测试时将芯片的所有输入引脚接在一起输入同一信号，保持输出引脚负载相同，测试最大传输延时与最小传输延时的偏差。

8.10.3 2.5 V 时序特性

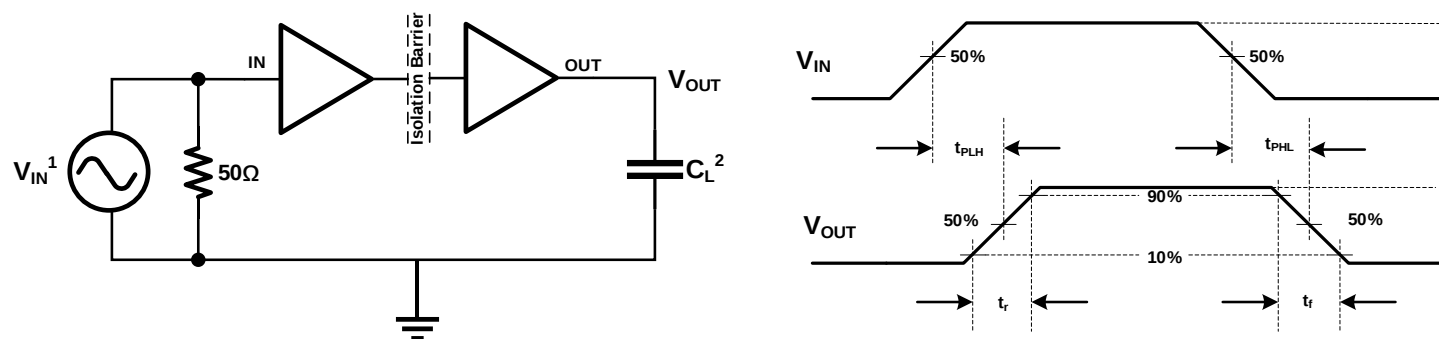
 $V_{DDA} = V_{DDB} = 2.5\text{ V} \pm 5\%$, $T_A = -55\text{ to }125^\circ\text{C}$

参数	测试说明	最小值	典型值	最大值	单位
DR 数据速率		0		10	Mbps
t_{PLH} , t_{PHL} 传播延迟	图 9-1	5.0	10.0	15.0	ns
PWD 脉冲宽度失真 $ t_{PLH} - t_{PHL} $			1.0	4.5	ns
t_{sk} 通道间输出偏移时间 ¹	同方向通道		1.0	4.5	ns
t_r 输出上升时间	图 9-1		2.5	4.0	ns
t_f 输出下降时间	图 9-1		2.5	4.0	ns
t_{DO} 从输入电源掉电到默认输出延迟时间	图 9-2		8	12	ns
t_{SU} 启动时间			15	40	μs

备注:

- t_{sk} 为通道间输出偏移时间。测试时将芯片的所有输入引脚接在一起输入同一信号，保持输出引脚负载相同，测试最大传输延时与最小传输延时的偏差。

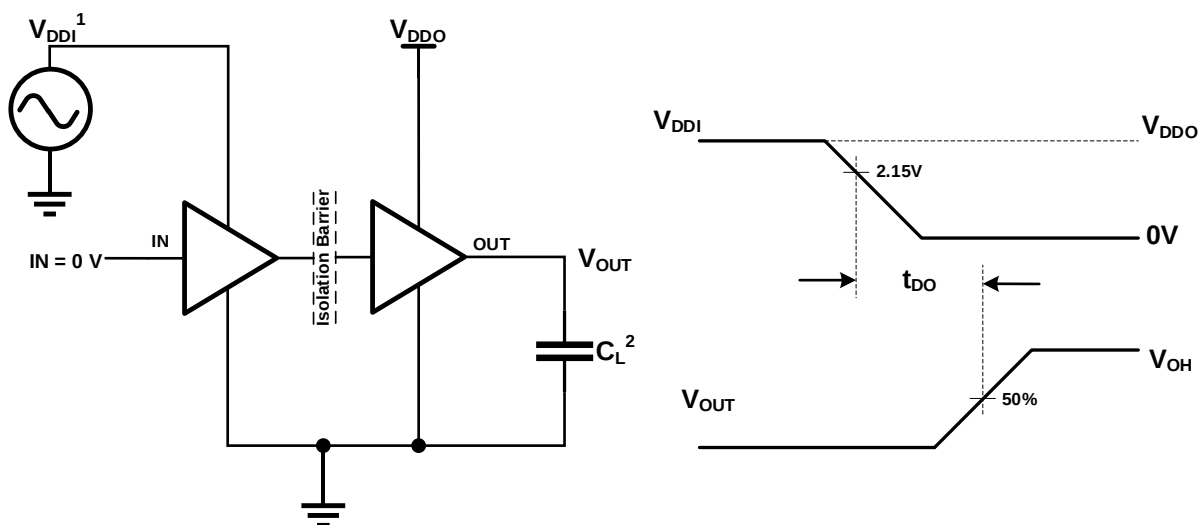
9 参数测量信息



备注:

1. 信号发生器产生输入信号 V_{IN} 具有以下约束条件: 波形频率 ≤ 100 kHz, 占空比 50%, $t_r \leq 3$ ns, $t_f \leq 3$ ns。由于波形发生器的输出阻抗 $Z_{out} = 50\Omega$, 图中的 50Ω 电阻是用来匹配。在实际应用中不需要。
2. C_L 是大约 15 pF 的负载电容和仪表电容。由于负载电容会影响输出上升时间, 因此它是时序特性测量的关键因素。

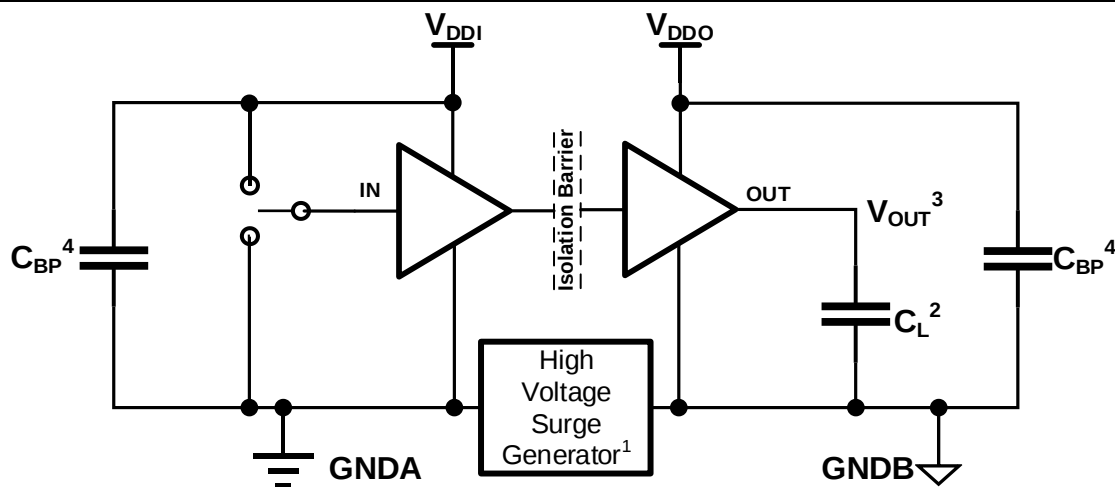
图 9-1 时序特性测试电路和电压波形



备注:

1. 电源爬坡速率 = 10 mV / ns。VDDI 应该超过 2.375 V 但不高于 5.5 V。
2. C_L 是大约 15 pF 的负载电容和仪表电容。由于负载电容会影响输出上升时间, 因此它是时序特性测量的关键因素。

图 9-2 默认输出延迟时间测试电路和电压波形



备注:

1. 高压浪涌脉冲发生器产生振幅 $> 1.5 \text{ kV}$ ，上升/下降时间 $< 10 \text{ ns}$ ，达到共模瞬态电压摆率 $> 150 \text{ kV}/\mu\text{s}$ 的重复高压脉冲。
2. C_L 是大约 15 pF 的负载电容以及寄生电容。
3. 通过标准：每当高压浪涌到来时，输出必须保持稳定。
4. C_{BP} 是 $0.1 \sim 1 \text{ }\mu\text{F}$ 的旁路电容。

图 9-3 共模瞬变抗扰度测试电路

10 详细说明

10.1 工作原理

CA-IS35xx 系列产品采用全差分离电容技术。由 SiO_2 构成的高压隔离电容为不同的电压域之间提供可靠的绝缘屏障，并提供可靠的高频信号传输路径；为了保证稳定的数据传输质量，引入开关键控(OOK)调制解调技术。发射机(TX)将输入信号调制到载波频率上，即 TX 在一个输入状态下通过隔离电容传递高频信号，而在另一个输入状态下无信号通过隔离电容，然后接收机根据检测到的带内数据重建输入信号。这个架构为隔离的不同电压域之间提供了可靠的数据传输路径，在启动时不需要考虑初始化。全差分的隔离电容架构可以最大限度地提高信号共模瞬态抗干扰能力。

CA-IS35xx 系列产品采用先进的电路技术可以有效的抑制载波信号和 IO 开关引入的 EMI。相比于电感耦合隔离架构，电容耦合架构具有更高的电磁抗干扰能力。OOK 调制方案消除了脉冲调制方案中可能出现的脉冲丢失引起的误码现象。图 10-1 和图 10-2 分别为单通道功能框图和 OOK 开关键控调制方案波形示意图。

10.2 功能框图

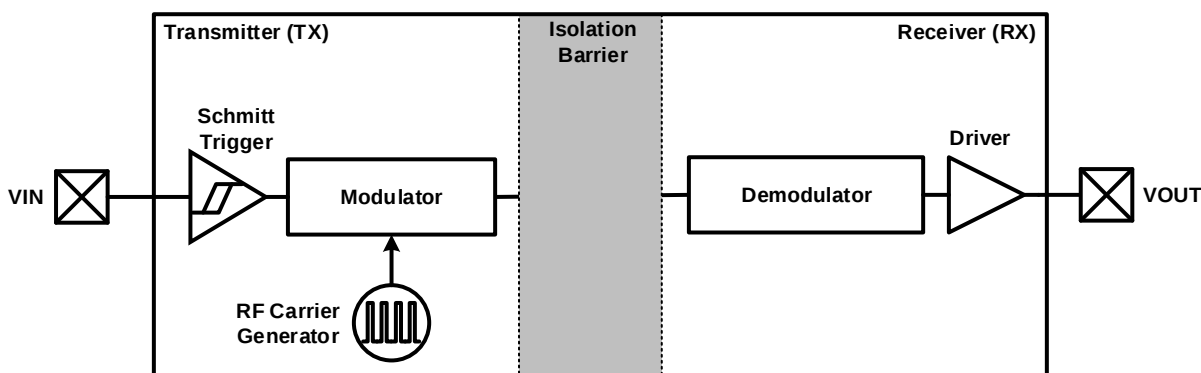


图 10-1 单通道功能框图

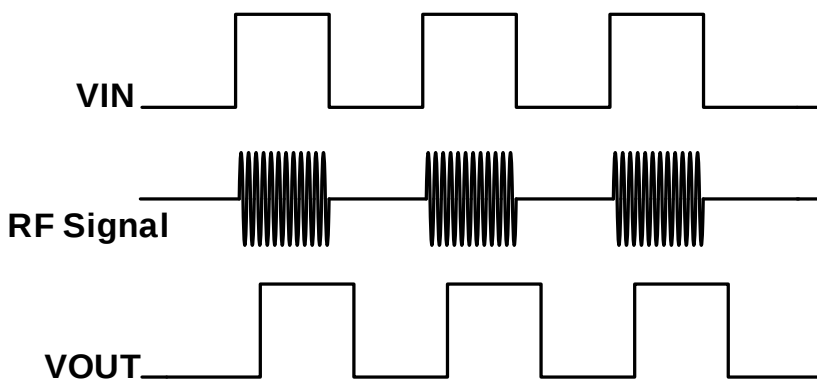


图 10-2 OOK 开关键控调制方案波形示意图

10.3 真值表

表 10-1 为 CA-IS352x 器件真值表。

表 10-1 真值表¹

V _{DDI}	V _{DDO}	输入(Ax/Bx) ²	输出 (Ax/Bx)	模式
PU	PU	H	H	正常运行模式: 通道的输出跟随通道输入状态
		L	L	
		Open	Default	默认输出故障安全模式: 如果通道的输入保持断开状态, 则其输出将变为默认值高
PD	PU	X	Default	默认输出故障安全模式: 如果输入侧 VDD 未通电, 则输出进入默认输出故障安全模式高电平
X	PD	X	Undetermined	如果输出侧 VDD 未供电, 则输出的状态不确定 ³
备注:				
1. V _{DDI} = 输入侧 V _{DD} ; V _{DDO} = 输出侧 V _{DD} ; PU = 上电 (V _{DD} ≥ 2.375 V); PD = 断电 (V _{DD} ≤ 2.24 V); X = 无关; H = 高电平; L = 低电平; Z = 高阻抗。				
2. 强驱动的输入信号可以通过内部保护二极管微弱地驱动浮动的 VDD, 从而导致输出不确定。				
3. 当电源电压 2.25V < V _{DDI} , V _{DDO} < 2.375 V 时, 输出状态不确定。				

11 输入输出等效电路

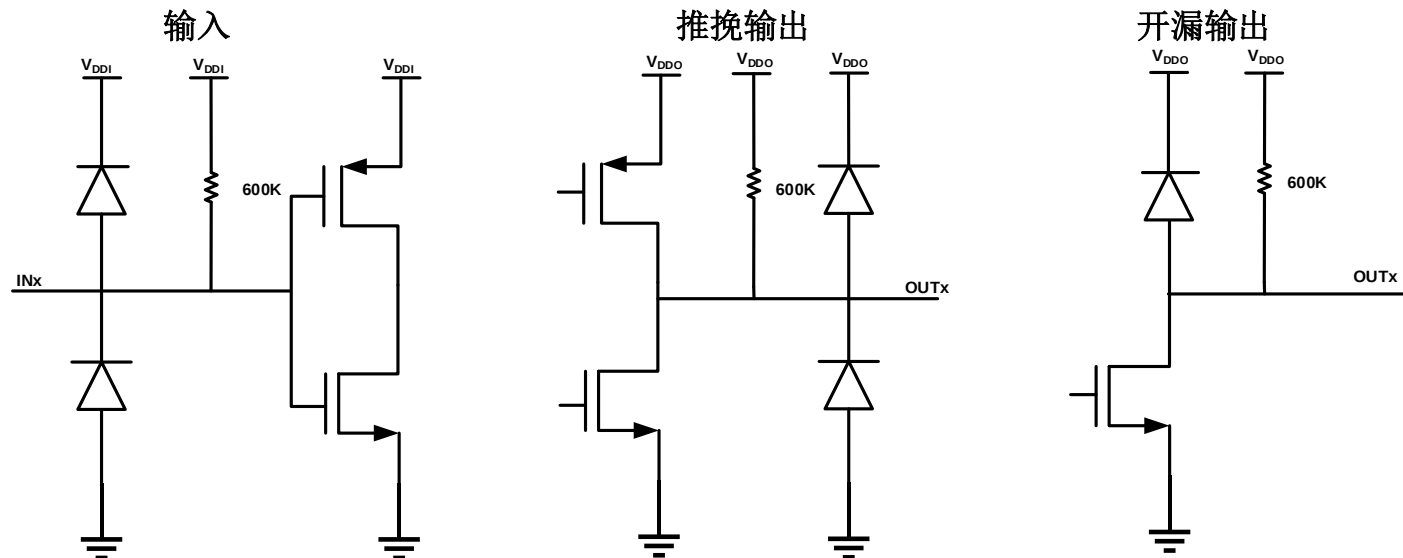


图 11-1 输入输出等效电路

12 应用电路

相比于光耦器件，CA-IS35xx 系列数字隔离器不需要外部元件来提供偏置或限制电流能力，只需要两个外部 VDD 旁路电容（0.1 μF 至 1 μF ）即可工作。CA-IS35xx 产品输入同时兼容 CMOS 和 TTL 电平，仅吸收微安级的输入漏电流，无需外部缓冲电路即可驱动。输出电阻为 50 Ω （轨到轨输出），可提供正向和反向通道配置。图 12-1 显示了 CA-IS3521 的典型应用电路。图 12-2 显示了 CA-IS35xx 系列产品的典型应用电路。

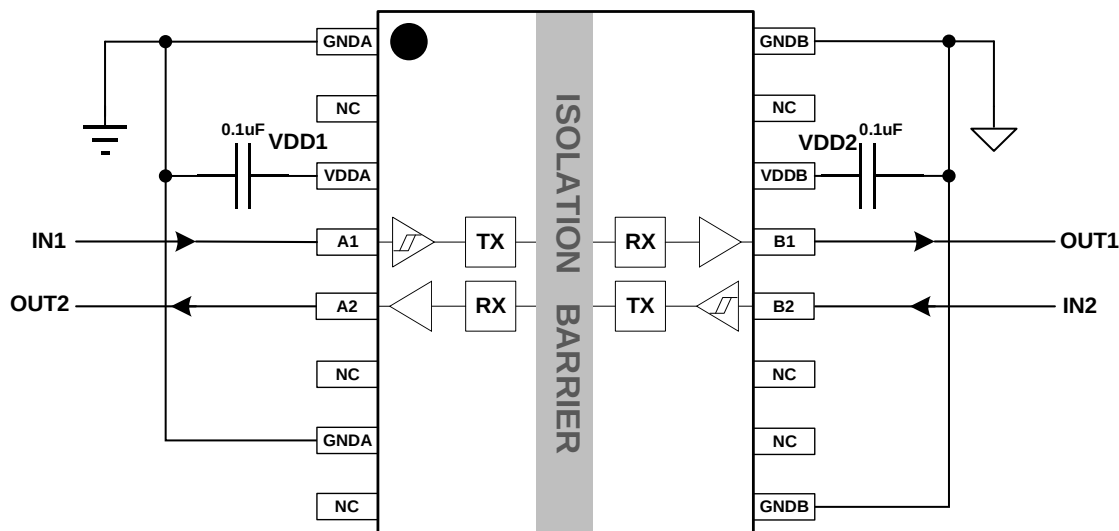


图 12-1 SOIC-16 CA-IS3521 典型应用电路

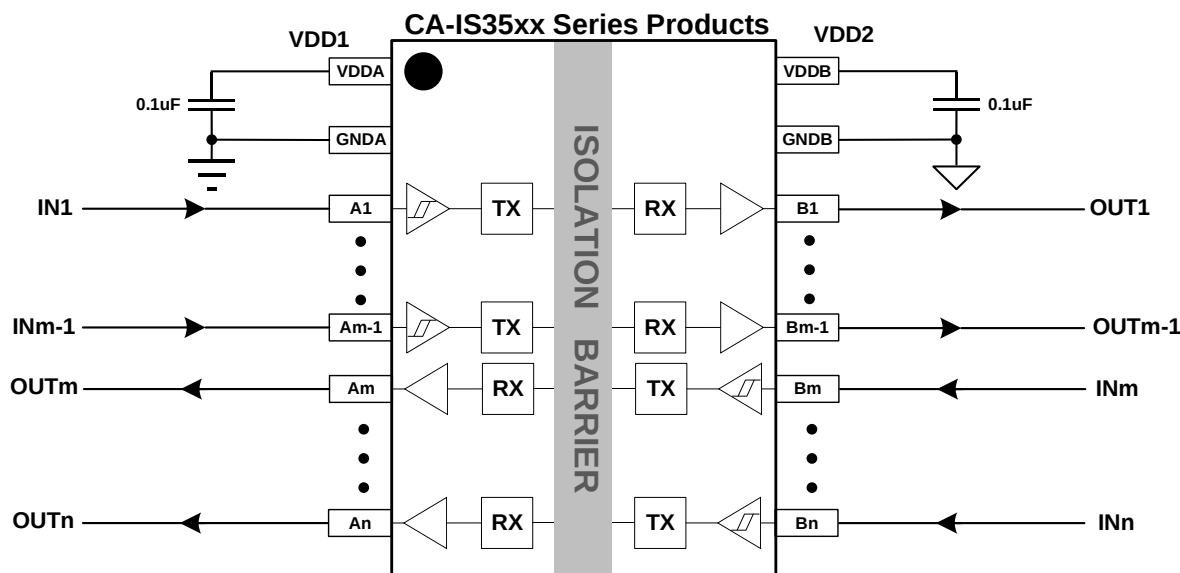


图 12-2 CA-IS35xx 系列数字隔离器应用原理图

13 IR46 电表中的应用

针对国网推行的电能表双芯方案标准，下一代双芯方案既能满足智能电网要求又能符合 IR46 标准，实现计量 SOC 和管理 MCU 独立运行。既满足了现在国网表在使用中出现的新需求，也兼顾未来四表集抄和采集 2.0 的发展。

双芯方案最主要特点之一就是对通讯速率进行了提升，以前的通讯最高波特率 9600 bps，现在提升到 115200 bps，以前的普通光耦已不能满足要求，需要使用高速数字隔离器。CA-IS35xx 是针对新的标准和需求推出的电表专用数字隔离器系列。CA-IS35xx 系列产品在 IR46 单相/三相智能表中的应用框图如图 13-1 所示。

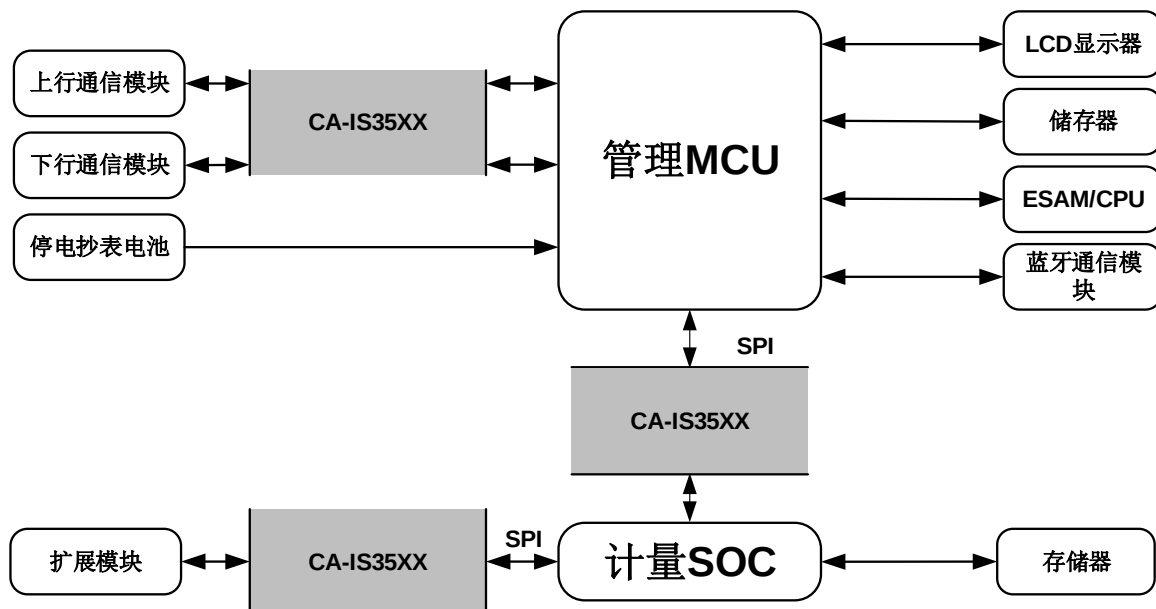
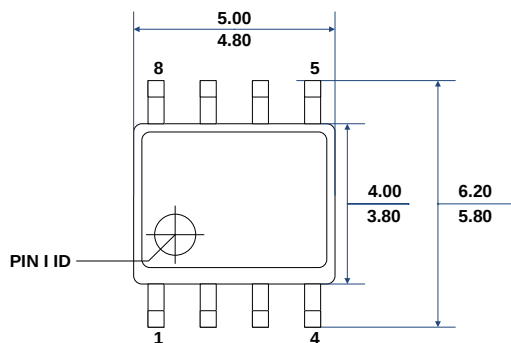


图 13-1 CA-IS35xx 在 IR46 单相/三相智能表中的应用框图

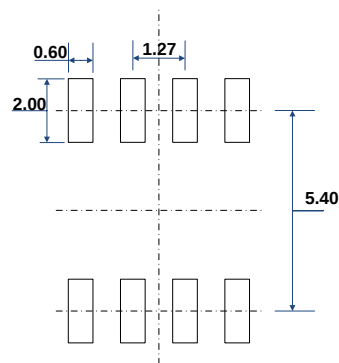
14 封装信息

14.1 SOIC8 (S)外形尺寸

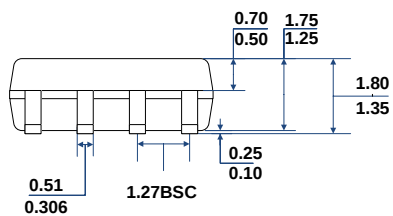
下图说明了 CA-IS352x 系列数字隔离器采用 SOIC8 窄体封装大小尺寸图和建议焊盘尺寸图，尺寸以毫米为单位。



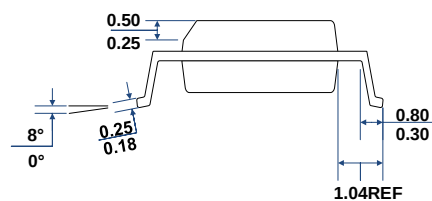
TOP VIEW



RECOMMENDED LAND PATTERN



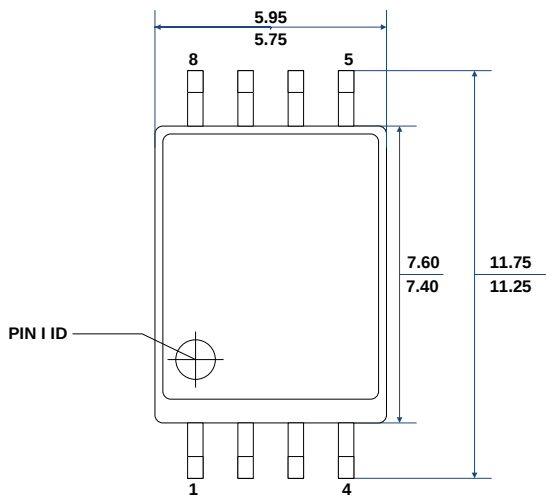
FRONT VIEW



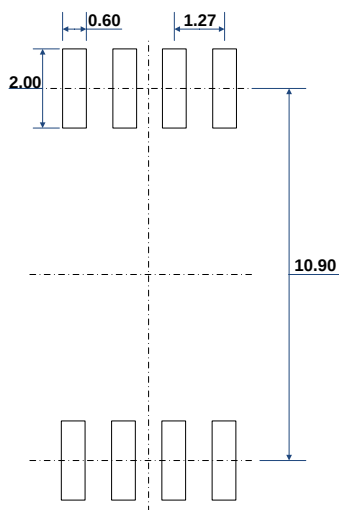
LEFT-SIDE VIEW

14.2 SOIC8-WB (G)

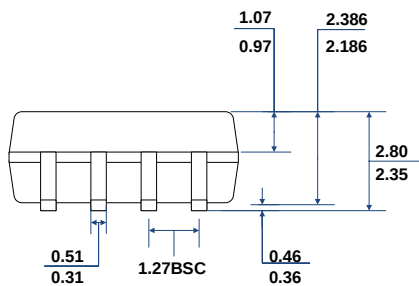
下图说明了 CA-IS352x 系列数字隔离器采用 SOIC8 宽体封装大小尺寸图和建议焊盘尺寸图，尺寸以毫米为单位。



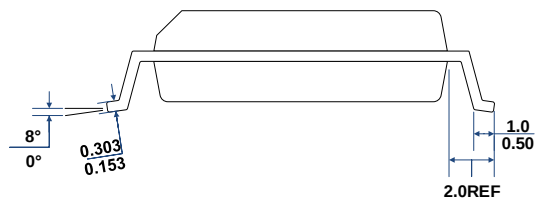
TOP VIEW



RECOMMENDED LAND PATTERN



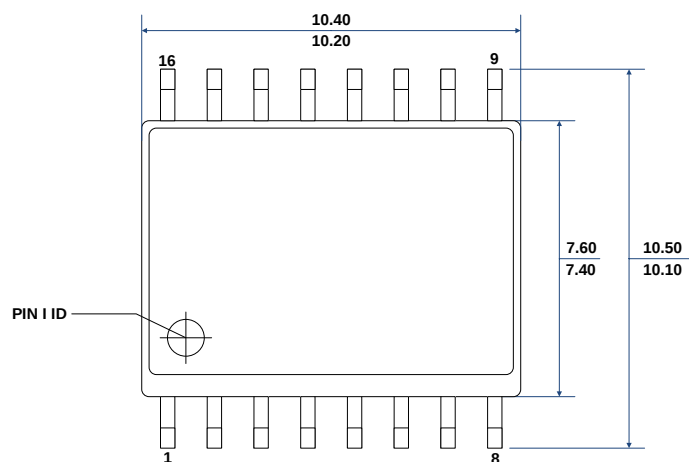
FRONT VIEW



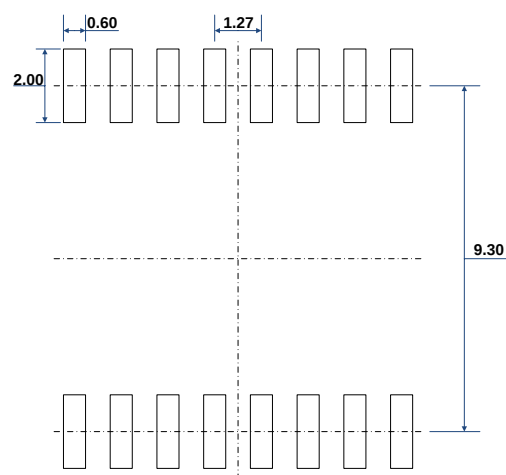
LEFT-SIDE VIEW

14.3 SOIC16-WB (W)

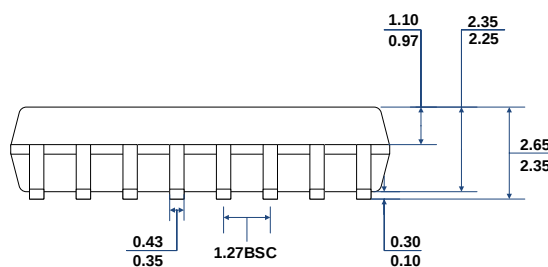
下图说明了 CA-IS352x 系列数字隔离器采用 SOIC-16WB 宽体封装大小尺寸图和建议焊盘尺寸图，尺寸以毫米为单位。



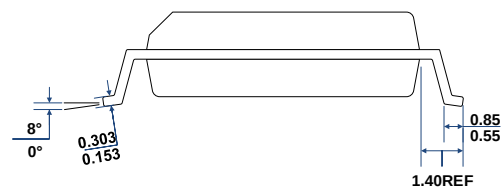
TOP VIEW



RECOMMENDED LAND PATTERN



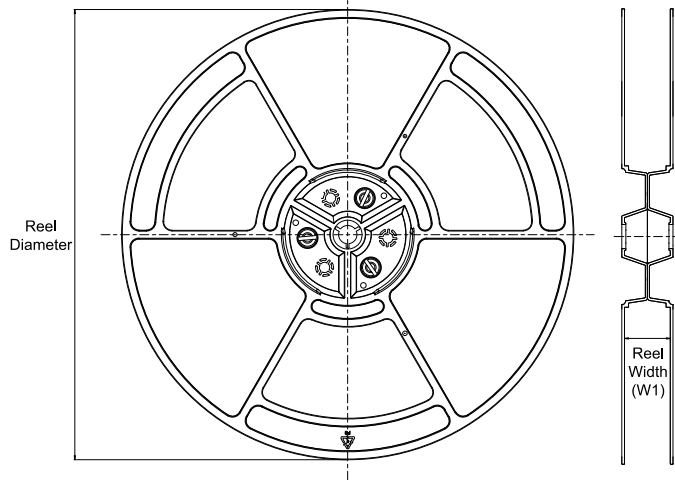
FRONT VIEW



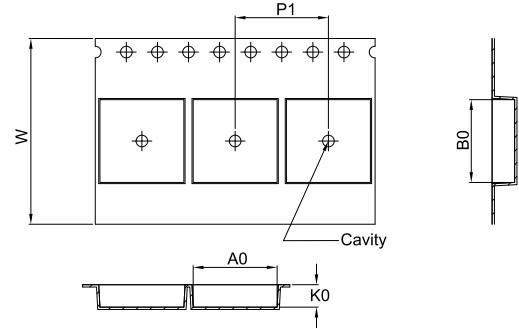
LEFT-SIDE VIEW

TAPE AND REEL INFORMATION

REEL DIMENSIONS

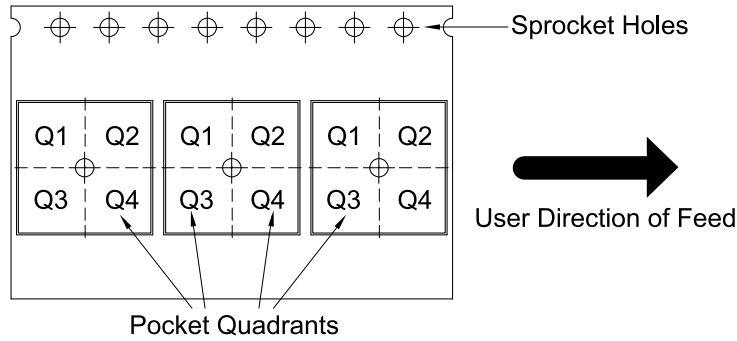


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS3520HSP	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IS3520HSD	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IS3520HGP	SOIC	G	8	1000	330	16.4	12.05	6.15	3.3	16.0	16.0	Q1
CA-IS3520HGD	SOIC	G	8	1000	330	16.4	12.05	6.15	3.3	16.0	16.0	Q1
CA-IS3520HWP	SOIC	W	16	1000	330	16.4	10.8	10.7	2.9	12.0	24.0	Q1
CA-IS3520HWD	SOIC	W	16	1000	330	16.4	10.8	10.7	2.9	12.0	24.0	Q1
CA-IS3521HSP	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IS3521HSD	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IS3521HGP	SOIC	G	8	1000	330	16.4	12.05	6.15	3.3	16.0	16.0	Q1
CA-IS3521HGD	SOIC	G	8	1000	330	16.4	12.05	6.15	3.3	16.0	16.0	Q1
CA-IS3521HWP	SOIC	W	16	1000	330	16.4	10.8	10.7	2.9	12.0	24.0	Q1
CA-IS3521HWD	SOIC	W	16	1000	330	16.4	10.8	10.7	2.9	12.0	24.0	Q1
CA-IS3522HSP	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IS3522HSD	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IS3522HGP	SOIC	G	8	1000	330	16.4	12.05	6.15	3.3	16.0	16.0	Q1
CA-IS3522HGD	SOIC	G	8	1000	330	16.4	12.05	6.15	3.3	16.0	16.0	Q1
CA-IS3522HWP	SOIC	W	16	1000	330	16.4	10.8	10.7	2.9	12.0	24.0	Q1
CA-IS3522HWD	SOIC	W	16	1000	330	16.4	10.8	10.7	2.9	12.0	24.0	Q1

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>